



Docket No.: W&B-INF-1908

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: October 24, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/675,766
Applicant : Bernd Goebel et al.
Filed : September 30, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : W&B-INF-1908
Customer No.: 24131

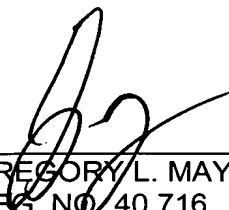
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 15 912.9 filed March 30, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: October 24, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 15 912.9

Anmeldetag: 30. März 2001

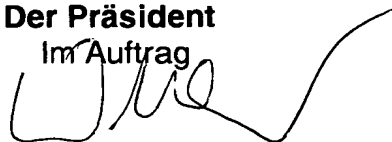
Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Verfahren zur Herstellung einer Halb-
leiteranordnung und Verwendung einer
Ionenstrahlanlage zur Durchführung des
Verfahrens

IPC: H 01 L, B 81 C

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 18. September 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Beschreibung

Verfahren zur Herstellung einer Halbleiteranordnung und Verwendung einer Ionenstrahlanlage zur Durchführung des Verfahrens

Die vorliegende Erfindung betrifft insbesondere ein Verfahren zur Herstellung einer Halbleiteranordnung nach dem Oberbegriff des Patentanspruches 1.

Bekannt sind gemäß dem Stand der Technik aus D. Widmann, H. Mader, H. Friedrich: Technologie hochintegrierter Schaltungen. - 2. Auflage - Springer, 1996. u.a. Halbleiteranordnungen für DRAMs in Sub- μ Technologie mit Deep Trench-(DT) Kondensator und Auswahltransistor. Um den DT-Kondensator an den Auswahltransistor anschließen zu können, muss der DT-Kondensator mit dem Substrat leitend verbunden werden. Dieser Kontakt bzw. diese Verbindung (buried strap oder Buried-Kontakt) darf jedoch lediglich auf der dem zugehörigen Auswahltransistor zugewandten Seite unterhalb der Mono-Si-Oberfläche bestehen. Daher muss auf dieser Seite die Isolierung zwischen dem DT-Kondensator und dem Auswahltransistor bzw. dem Substrat entfernt werden und durch ein leitendes Material ersetzt werden. Auf der anderen Seite des DT-Kondensators darf hingegen keine leitende Verbindung entstehen. Möglich ist auch umgekehrt, eine vorhandene leitende Verbindung zwischen dem DT-Kondensator und dem Substrat auf einer der beiden Seiten zu entfernen und dadurch den buried strap zu realisieren. Grundsätzlich muss also eine unterschiedliche Behandlung beider Seiten des DT-Kondensators durchgeführt werden. Dieses Problem wird gemäß dem Stand der Technik über ein Lithografie-Verfahren gelöst, bei dem nur eine Seite des DT-Kondensators bedeckt ist, wobei durch einen anschließenden Ätzvorgang der buried strap auf den nicht abgedeckten Gebieten entfernt wird (Widmann, Mader: S. 339; Schritt 11).

Weiterhin ist es aus D. Widmann et. al. bekannt, bei der Strukturierung in Gräben auch vertikale Oberflächen auszunutzen, beispielsweise durch Prozessschritte wie definierte Rückätzung und Schrägimplantation (Widmann, Mader: S.82, 178, 282). Bekannt ist beispielsweise eine Schrägimplantation unter einem Bestrahlungswinkel von etwa 45° durch einen Spacer hindurch zur Erzeugung kurzer LDD (Lightly Doped Drain)-Dotierprofile.

- 10 Aufgabe der vorliegenden Erfindung ist es, ein Verfahren und eine Vorrichtung bereitzustellen zum Entfernen einer dünnen Schicht an lediglich einer Seite eines Grabens oder eines Kontaktloches der Halbleiteranordnung.
- 15 Erfindungsgemäß ist dies bei einem Verfahren mit den Merkmalen des Patentanspruches 1 erreicht. Durch den unter dem Strahlungswinkel α schräg auf die Waferoberfläche gerichteten Ionenstrahl wird die Geometrie des Loches bzw. der Vertiefung genutzt. Da der unerwünschte Ionenangriff auf einer
- 20 Seitenwandfläche durch den Abschattungseffekt in der Vertiefung vermieden wird, kann in einem Verfahrensschritt über die gesamte Fläche des Wafers reproduzierbar und ausreichend genau die besagte Schicht einseitig entfernt werden. Im Gegensatz zu den bekannten lithographischen Verfahren ist das
- 25 erfindungsgemäße Verfahren jedoch nicht abhängig von der genauen relativen Zueinanderpositionierung bzw. dem Alignment zweier Lithographieebenen, was zudem bei kleineren Strukturgrößen immer aufwendiger wird. Das erfindungsgemäße Verfahren ist vielmehr selbstjustierend und unabhängig von litho-
- 30 graphischen Justiergenauigkeiten. Entsprechendes gilt für die Verwendung einer Ionenstrahlanlage zur Durchführung des Verfahrens und eine nach dem erfindungsgemäßen Verfahren hergestellte Halbleiteranordnung.
- 35 Wenn alle Vertiefungen der Halbleiteranordnung auf einem Wafer, in denen buried straps realisiert werden sollen, eine einheitliche Geometrie aufweisen, kann erfindungsgemäß auf

einfache Weise reproduzierbar und genau der Liner einseitig in der Vertiefung entfernt werden und nachfolgend der buried strap erzeugt werden.

5 Vorteilhafter Weise wird der Ionenstrahl durch eine relativ verschwenkbare RIBE (Reactive Ion Beam Etching)-Quelle erzeugt. Dadurch ist eine kontrollierte selektive Ätzung des Liners bei guter Ätzrate sichergestellt.

10 In weiteren abhängigen Ansprüchen finden sich weitere vorteilhafte Ausgestaltungen des erfindungsgemäßen Verfahrens.

Nachfolgend sind drei Ausführungsbeispiele des erfindungsgemäßen Verfahrens und die dabei erforderliche Vorrichtung
15 beschrieben; es zeigen:

Fig. 1a-f die Formierung eines einseitigen buried straps mittels gerichteten Ionenstrahls gemäß dem ersten Ausführungsbeispiel in einer Schnittdarstellung, sowie

20 Fig. 2a-f die Formierung eines einseitigen buried straps mittels gerichteten Ionenstrahls gemäß dem zweiten Ausführungsbeispiel in einer Schnittdarstellung,

Fig. 3a,b in einer Draufsicht in vergrößertem Maßstab den bestrahlte Lochboden gemäß dem zweiten Ausführungsbeispiel, sowie

25 Fig. 4a-g die Formierung eines einseitigen buried straps mittels gerichteten Ionenstrahls gemäß dem dritten Ausführungsbeispiel in einer Schnittdarstellung, sowie

30 Fig. 5 eine stark vereinfachte Prinzipdarstellung der erfindungsgemäß verwendeten Vorrichtung.

In Fig. 1a ist ein Ausschnitt einer DRAM-Speicherzelle einer auf einem Wafer angeordneten Halbleiterschaltung gezeigt, die
35 alle Verfahrensschritte vor dem Beginn der erfindungsgemäßen Verfahrensschritte gesehen hat (Widmann, Mader: S. 338; Schritt 9). Dabei ist in Fig. 1a-f aus Vereinfachungsgründen

lediglich ein DT-Kondensator 1 und der unmittelbar angrenzende Bereich eines dazugehörigen Auswahltransistors 3 dargestellt. Der DT-Kondensator 1 besteht aus einem Poly-Si-Kern 5, der von einem Collar-Oxid 7 umgeben ist, und ist im Bodenbereich eines Loches 9 bzw. eines Grabens mit ellipsenförmiger Grundfläche angeordnet. Das Loch 9 ist in einem Si-Substrat 11 angeordnet, das von einer etwa $0,2\text{ }\mu\text{m}$ starken Si_3N_4 -Maske 13 bedeckt ist. Dabei beträgt der Abstand der Oberseite der Si_3N_4 -Maske 13 zur Oberseite des Poly-Si 5 des DT-Kondensators 1 etwa $0,3 - 0,4\text{ }\mu\text{m}$ und die kurze bzw. die lange Seite der Ellipse betragen $0,2$ bzw. $0,4\text{ }\mu\text{m}$. Durch einen nass-chemischen isotropen Ätzvorgang wurde, wie in Fig. 1a gezeigt, das Collar-Oxid 7 gegenüber der Oberseite des Poly-Si 5 etwas zurückgezogen (Pfeil in Fig. 1a).

Gemäß Fig. 1b erfolgt eine konforme Abscheidung einer Barrierschicht, die als Maske für die nachfolgenden Trocken- oder Nassätzungen geeignet ist, in Form eines Si_3N_4 -Liners 15 mit einer Stärke von etwa $5-10\text{ nm}$. Der Liner 15 bedeckt insbesondere auch umfangsseitig die Seitenwand des DT-Kondensators 1 und den Boden des Loches 9 bzw. die Oberseiten des Poly-Si-Kerns 5 und des Collar-Oxids 7 (Fig. 1b). Vorteilhaft an der Materialwahl des Liners 15 ist, dass bei Si_3N_4 sowohl Si als auch SiO_2 selektiv geätzt werden können. Die Stärke des Liners 15 ist mit etwa $5-10\text{ nm}$ so bemessen, dass einerseits durch die nachfolgende Ionenbestrahlung der Liner 15 in den bestrahlten Bereichen noch sicher vollständig entfernt werden kann, und dass andererseits der Liner in den nicht bestrahlten und damit in den nicht entfernten Bereichen als Maske für die dann anschließende Rückätzung des Collar-Oxids ausreichend stark ausgebildet ist.

Durch die Verwendung eines gerichteten Ionenstrahls S, der unter einem Bestrahlungswinkel α in Abweichung zur Normalen (unterbrochene Linie) auf die Scheibe bzw. den Wafer gerichtet wird, wird in dem Loch 9 eine Seite des DT-Kondensators 1 einem deutlich stärkeren Ätz- bzw. Sputterangriff ausgesetzt

als die Seite, die sich im gegenüberliegenden Strahlungsschatten befindet. Dadurch wird einseitig die dünne Si_3N_4 -Barrierschicht 15 von der Seitenwand und dem Lochboden (Bereich A; vgl. Fig. 3a) entfernt. Alle unter der dicken Si_3N_4 -Maske 13 gegebenenfalls befindlichen Halbleiterstrukturen sind dabei durch die Maske 13 vor der Ionenstrahlung geschützt. Im nicht bestrahlten und deshalb nicht entfernten Bereich stellt der Si_3N_4 -Liner 15, wie nachfolgend beschrieben ist, für die anschließende Entfernung des Collar-Oxids 7 eine Maske dar, so dass ein buried strap 17 nur an den Stellen entstehen kann, an denen vorher der Liner 15 entfernt worden ist. Gemäß Fig. 1c ist der Bestrahlungswinkel α so gewählt, dass der Liner 15 bis zur Hälfte der Breite b des Loches 9 im Bereich A entfernt wird. Um eine nachteilig zu geringe oder zu umfangreiche Entfernung des Si_3N_4 -Liners 15 vermeiden zu können, wird der Bestrahlungswinkel α deshalb bevorzugt so eingestellt, dass der Ionenstrahl S etwa auf $\frac{1}{4}$ der Lochbreite b abgeschirmt ist. Dadurch ist sichergestellt, dass trotz Fertigungsschwankungen und Einstell-ungenauigkeiten weder zu wenig noch zu viel Si_3N_4 -Liner 15 im Bodenbereich des Loches 9 entfernt wird (Fig. 1c, vgl. Fig. 3a).

Im folgenden Verfahrensschritt wird gemäß Fig. 1d mit einer hochselektiven anisotropen Ätzung (Pfeil) - mit anschließendem isotropem Overetch zur Entfernung von Resten - an der Seite des DT-Kondensators 1 das Collar-Oxid 7 rückgeätzt, an der zuvor der Si_3N_4 -Liner 15 durch die Ionenbestrahlung entfernt worden ist. Bei nicht ausreichender Selektivität dieser anisotropen Ätzung kann auch mit dem Liner 15 ein unterer Liner geöffnet werden, der dann wieder als Maske für den folgenden Ätzschritt dient (nicht gezeigt).

Im nächsten Verfahrensschritt wird gemäß Fig. 1e eine Poly-Si-Schicht 19 konform abgeschieden (Fig. 1e) und somit die leitende Verbindung zwischen dem Poly-Si-Kern 5 des DT-Kondensators 1 und dem Auswahltransistor 3 bzw. dem Si-Substrat 11 einseitig hergestellt (Fig. 1e).

Zur Herstellung des buried straps 17 erfolgt anschließend eine isotrope Rückätzung der Poly-Si-Schicht 19 (Fig. 1f). In der Öffnung, die durch die Collar-Oxid-Rückätzung gemäß Fig. 1d entstanden ist, verbleibt ausreichend Poly-Si, das den buried strap 17 bildet (Fig. 1f). Anschließend erfolgen nach der Entfernung des einseitig noch vorhandenen Si_3N_4 -Liners 15 die weiteren zur Herstellung der gewünschten DRAM-Anordnung unterhalb der Si_3N_4 -Maske 13 erforderlichen Prozessschritte.

Um bei der Herstellung der buried straps mit einem Ionenbestrahlungsschritt unter einem definierten Bestrahlungswinkel α bei der Entfernung des Si_3N_4 -Liners 15 entsprechend Fig. 1c auskommen zu können, ist es erforderlich, dass in allen Löchern 9 der Halbleiterschaltung die buried layers 17 jeweils auf einer Seite des Loches 9 angeordnet sind. Dies ist beim Design der einzelnen DRAM-Zellen entsprechend zu berücksichtigen. Weiterhin ist das erfindungsgemäße Verfahren dann besonders effektiv, wenn auf dem Wafer lediglich Vertiefungen bzw. Löcher mit einer Einheitsgeometrie verwendet werden.

Beim zweiten Ausführungsbeispiel des Verfahrens wird mit einer nasschemischen Entfernung des Collar-Oxids gearbeitet. Aus Vereinfachungsgründen werden bei der Beschreibung des Verfahrens gemäß dem zweiten Ausführungsbeispiels die Bezugszeichen des ersten Ausführungsbeispiels beibehalten. Der grundsätzliche Vorteil des zweiten Verfahrens besteht darin, dass auf den Schritt der nasschemischen Ätzung gemäß Fig. 1a verzichtet werden kann und damit deshalb auch besonders enge und/oder tiefe Löcher geeignet mit buried straps versehen werden können.

In Fig. 2a ist ein Ausschnitt einer DRAM-Speicherzelle eines Wafers entsprechend Fig. 1a gezeigt, der alle Verfahrensschritte vor dem Beginn der erfindungsgemäßen Verfahrensschritte gesehen hat (Widmann, Mader: S. 338; Schritt 8). Die Tiefe des Loches 9 beträgt in deutlicher Abweichung zu Fig.

1a dabei bei vergleichbarer Lochgrundfläche etwa 1 μm . Die nasschemische Rückätzung des Collar-Oxids 7 ist im Unterschied zum ersten Ausführungsbeispiel nicht erfolgt.

- 5 Im ersten Verfahrensschritt wird ein Si_3N_4 -Liner 15 konform abgeschieden. Der Liner 15 dient als Maske für die folgenden Trocken- oder Nassätzungen und ist ebenfalls etwa 5-10 nm stark. Der Si_3N_4 -Liner 15 bedeckt insbesondere auch umfangs-
- 10 seitig die Seitenwand des DT-Kondensators 1 bzw. des Collar-Oxids 7 und den Boden des Loches 9 bzw. die Oberseite des Poly-Si-Kerns 5 (Fig. 2b).

- Anschließend wird der Liner 15 über einen gerichteten Ionenstrahl S an einer Seite bzw. auf einem Teil der Poly-Si-
- 15 Oberfläche 5 entsprechend dem ersten Ausführungsbeispiel entfernt (Fig. 2c). Dabei einzuhaltende Grenzen des räumlichen Umfangs der Entfernung des Liners 15 durch die Ionenbestrahlung sind in Fig. 2c1 sowie 2c2 ausschnittsweise dargestellt. Gemäß Fig. 2c1 bleibt der Si_3N_4 -Liner 15 höchstens bis zu ei-
- 20 ner Höhe der Breite des Collar-Oxids 7 (entspricht dem lateralen Abstand zwischen dem Si-Substrat 11 und dem Poly-Si-Kern 5) stehen, um für die anschließenden Ätzprozesse noch geeignet ausgebildet zu sein. Der andere Grenzzustand der Entfernung des Liners 15 ergibt sich dadurch, dass prozess-
- 25 technisch sichergestellt sein muss, dass der buried strap 17 zuverlässig nur auf einer Seite des DT-Kondensators 1 ausgebildet wird (vgl. Fig. 3a, b).

- Dann kann im folgenden Verfahrensschritt mit einer selektiven
- 30 isotropen Ätzung das Collar-Oxid 7 rückgeätzt werden (Pfeil), so dass an der zuvor bestrahlten Seitenwand das Collar-Oxid 7 im Bereich oberhalb des Lochbodens vollständig entfernt wird (Fig. 2d).

- 35 An dieser Seitenwand wird anschließend das Collar-Oxid 7 über eine anisotrope Rückätzung ausreichend zurückgezogen (Pfeil).

Nachfolgend können durch einen weiteren isotropen Ätzschritt zudem unerwünschte Oxid-Reste entfernt werden (Fig. 2e).

Durch die Abscheidung einer konformen Poly-Si-Schicht 19 (unterbrochene Linie in Fig. 2f) und eine anschließende isotrope Rückätzung des abgeschiedenen Poly-Si (Fig. 2f) verbleibt in dem Spalt, der durch die Collar-Oxid-Rückätzung (Fig. 2e) entstanden ist, ausreichend Poly-Si, das den buried strap 17 entsprechend dem ersten Ausführungsbeispiel bildet.

In den Fig. 3a und 3b ist in einer Draufsicht in vergrößertem Maßstab gezeigt, in welchem Bereich B der Si_3N_4 -Liner 15 infolge des Ionenstrahls S oberhalb des Collar-Oxids 7 in dem ellipsenförmigen Loch 9 entfernt wird, eine von der Ionenstrahlung S bestrahlte Bodenfläche A (Fig. 3a) des DT-Kondensators 1 sowie ein Bereich C, in dem das Collar-Oxid 7 nach der zweimaligen isotropen Rückätzung gemäß Fig. 2d, e entfernt ist (Fig. 3b). In Fig. 3a ist veranschaulicht, in welchem im wesentlichen ellipsenförmig begrenzten Flächenbereich A des Lochbodens die Ionenstrahlung S auftritt, die unter dem Winkel α gemäß Fig. 2c eingestrahlt wird, und in welchem übrigen Flächenbereich die Halbleiteranordnung durch den oberen Rand des Loches 9 im Bodenbereich sicher abgeschirmt ist. Der von der Seitenwand des Loches 9 in den Bodenbereich reflektierte Strahlungsanteil kann hierbei vernachlässigt werden. Die isotrope Rückätzung beträgt gemäß Fig. 3b etwa das zweifache der Collar-Breite.

Alternativ zu den beiden ersten Ausführungsbeispielen wird im Verfahren gemäß dem dritten Ausführungsbeispiel eine zunächst beidseitig ausgebildete leitende Verbindung zwischen dem DT-Kondensator 1 und dem unmittelbar angrenzenden Bereich des dazugehörigen Auswahltransistors 3 einseitig entfernt und dadurch einseitig der buried strap 17 erzeugt (Fig. 4a-g).

Ausgehend von der zu der in Fig. 1a gezeigten identischen Prozesssituation gemäß Fig. 4a wird das Collar-Oxid 7 isotrop

rückgeätzt (Pfeil in Fig. 4b). Im nachfolgenden Prozessschritt erfolgt die Abscheidung einer konformen Poly-Si-Schicht 21 (Fig. 4c), die umfangsseitig bzw. beidseitig als ein Poly-Si-Ring 23 den Kontakt zwischen dem Poly-Si-Kern 5 und dem Si-Substrat 11 in Bereich des Lochbodens herstellt. Die Poly-Si-Schicht 21 wird danach einer isotropen Rückätzung unterzogen und dadurch auch oberhalb des Poly-Si-Kerns 5 an der Seitenwand des Loches 9 entfernt (Pfeile in Fig. 4d). Gemäß Fig. 4e wird nachfolgend ein konformer Si_3N_4 -Liner 15 abgeschieden. Anschließend wird der Liner 15 über einen schräg gerichteten Ionenstrahl S einseitig an der Seitenwand des Loches 9 und auf einem Teil der Oberfläche des Poly-Si-Kerns 5 bzw. des Poly-Si-Ringes 23 entsprechend den beiden ersten Ausführungsbeispielen (Schritt in Fig. 1c, 2c) entfernt (Fig. 4f). Durch eine anisotrope selektive Rückätzung (Pfeil) des Poly-Si bis zur Oberseite des vergrabenen Collar-Oxids 7 wird die leitende Verbindung zwischen Poly-Si-Kern 5 und dem Si-Substrat 11 einseitig sicher entfernt (Fig. 4g). Nachfolgend kann der Si_3N_4 -Liner 15 in einem isotropen Ätzschritt entfernt werden und das Loch 9 bzw. die Vertiefung kann beispielsweise mit SiO_2 gefüllt werden (nicht gezeigt).

Offensichtlich ist, dass die Geometrien der Löcher der Halbleiteranordnung wie z.B. Lochform und -tiefe geändert werden können, ohne die erfindungsgemäße Lehre zu verlassen.

Voraussetzung für die Durchführung des erfindungsgemäße Verfahrens ist die geeignete Erzeugung eines gerichteten Ionenstrahls. Dies kann z.B. durch eine IBE- (Ion Beam Etching), eine CAIBE- (Chemically Assisted Ion Beam Etching) oder eine RIBE- (Reactive Ion Beam Etching) Quelle realisiert sein. Dabei wird die Ionen-Quelle relativ zum Wafer bzw. zur Scheibe um den Bestrahlungswinkel α aus der Normalenorientierung verkippt. Der Winkel α wird aus der Geometrie der Löcher der Halbleiteranordnung berechnet und in Versuchen optimiert. Die erforderlichen Bestrahlungsanlagen sind kommerziell von verschiedenen Herstellern verfügbar, teilweise

mit Strahldurchmessern auch für eine Ganzscheibenbearbeitung. Weiterhin ist auch eine Implantationsanlage beispielsweise mit Edelgas-Ionen zur Durchführung des erfindungsgemäßen Verfahrens verwendbar. Alternativ ist auch eine geeignete Modifikation einer RIE-Anlage möglich, wobei die Ionen geeignet abgelenkt werden. Auch das Ätzverfahren mit gerichteten Atomstrahlen (NSE bzw. Neutral Stream Etch) ist für die Realisierung der Erfindung verwendbar.

- 10 In Fig. 5 ist vereinfacht die an sich bekannte Vorrichtung zur Durchführung des erfindungsgemäßen Verfahrens gezeigt. Dabei sind in einer Vakuumkammer 25 eine Ionenquelle 27 und ein schwenkbarer Probenstisch 29, auf dem der Wafer zur Bestrahlung unter dem Bestrahlungswinkel α angeordnet ist,
- 15 vorgesehen.

Patentansprüche

1. Lithographisches Verfahren zum Herstellen einer Halbleiteranordnung, wobei eine dünne Maskenschicht, insbesondere ein Si_3N_4 -Liner (15), auf einer Seite einer Vertiefung (9) in der Halbleiteranordnung entfernt wird,
dadurch gekennzeichnet, dass ein Ionenstrahl (S) unter einem Winkel (α) schräg auf die Vertiefung (9) gerichtet wird, wodurch in den bestrahlten Bereichen die dünne Maskenschicht (15) entfernt wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass alle Vertiefungen (9) der Halbleiteranordnung auf einem Wafer eine einheitliche Geometrie aufweisen.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass als der durch den Ionenstrahl (S) zu strukturierende dünne Maskenschicht ein Si_3N_4 -Liner (15) abgeschieden wird, dessen Stärke etwa 5-10 nm beträgt.
4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Ionenstrahl (S) durch eine RIBE-Quelle erzeugt wird.
5. Verwendung einer Ionenstrahlanlage zum Entfernen einer dünnen Maskenschicht, insbesondere eines Si_3N_4 -Liners (15), auf einer Seite einer Vertiefung (9) in einer Halbleiteranordnung, dadurch gekennzeichnet, dass ein Ionenstrahl (S) der Ionenstrahlanlage auf einen Winkel (α) in Abweichung zur Normalen bzgl. der Vertiefung (9) eingestellt wird.
6. Halbleiteranordnung mit zahlreichen Vertiefungen (9), in denen buried straps (17) angeordnet sind, dadurch gekennzeichnet, dass die buried straps (17) mit dem Verfahren nach Anspruch 1 hergestellt sind, und dass deshalb die buried straps (17) jeweils an der gleichen Seite der Vertiefung (9) einseitig angeordnet sind.

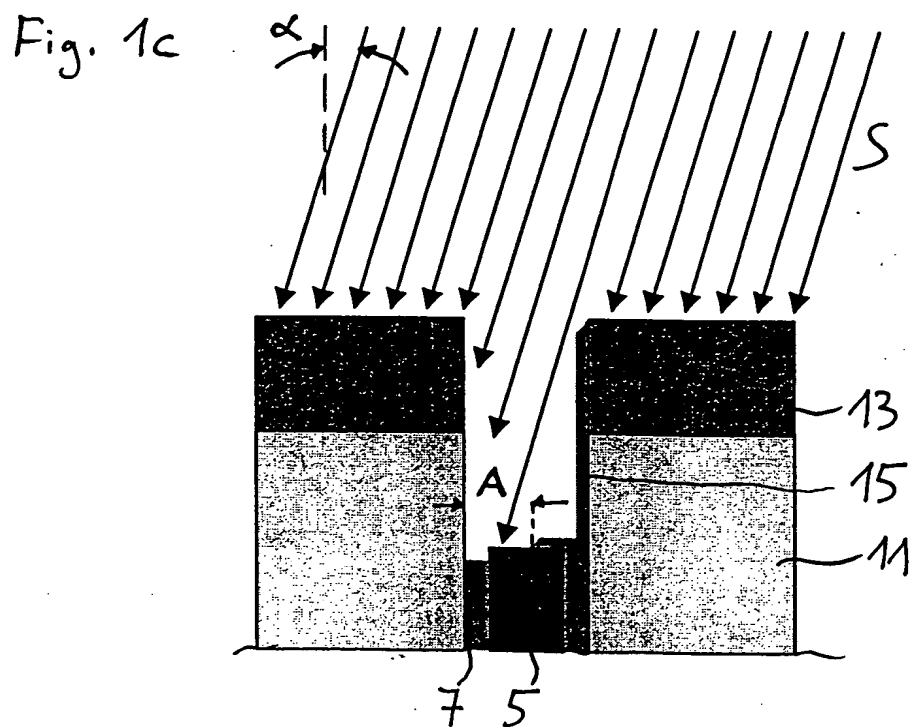
Zusammenfassung

Verfahren zur Herstellung einer Halbleiteranordnung und Verwendung einer Ionenstrahlanlage zur Durchführung des Verfahrens

Bekannt ist ein Lithographisches Verfahren zum Entfernen einer dünnen Maskenschicht, insbesondere eines Si_3N_4 -Liners (15), auf einer Seite einer Vertiefung (9) in einer Halbleiteranordnung. Erfindungsgemäß ist vorgesehen, dass ein Ionenstrahl (S) unter einem Winkel (α) schräg auf die Vertiefung (9) gerichtet wird, wodurch in den bestrahlten Bereichen die dünne Maskenschicht (15) entfernt wird.

Fig. 1c

Figur für die Zusammenfassung



Bezugszeichenliste:

1	DT-Kondensator
3	Auswahltransistor
5	Poly-Si-Kern
7	Collar-Oxid
9	Loch
11	Si-Substrat
13	Si ₃ N ₄ -Maske
15	Si ₃ N ₄ -Liner
17	buried strap
19	Poly-Si-Schicht
21	Poly-Si-Schicht
23	Poly-Si-Ring
25	Vakuumkammer
27	Ionenquelle
29	Probentisch

b	Breite des ellipsenförmigen Loches
S	Ionenstrahl
A	Bereich, der von Ionenstrahlung getroffen wird
B	Bereich, in dem der Si ₃ N ₄ -Liner entfernt wird
C	Bereich, in dem das Collar-Oxid entfernt wird
α	Bestrahlungswinkel

Fig. 1a

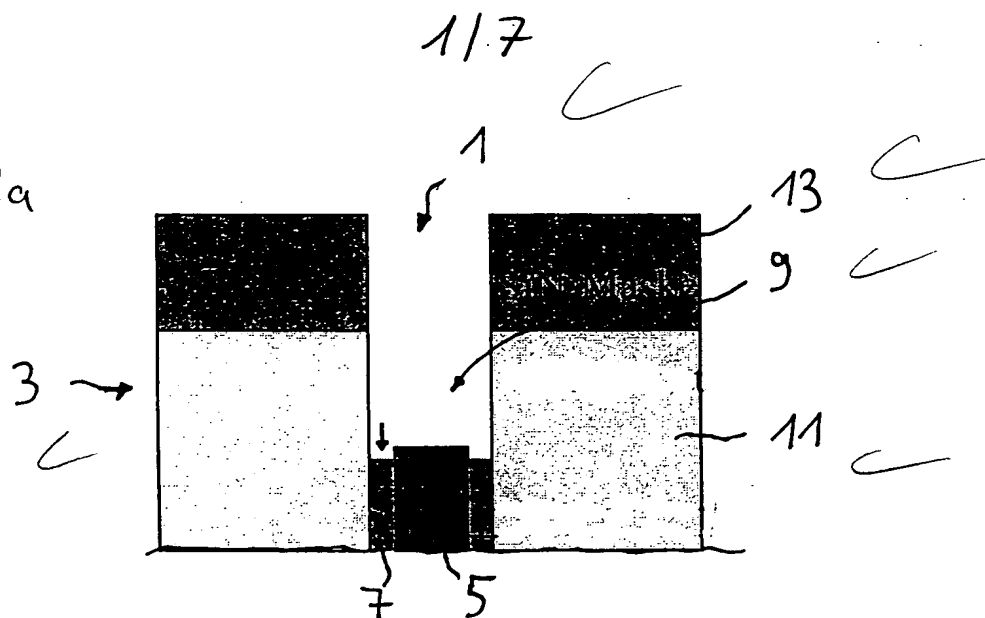


Fig. 1b

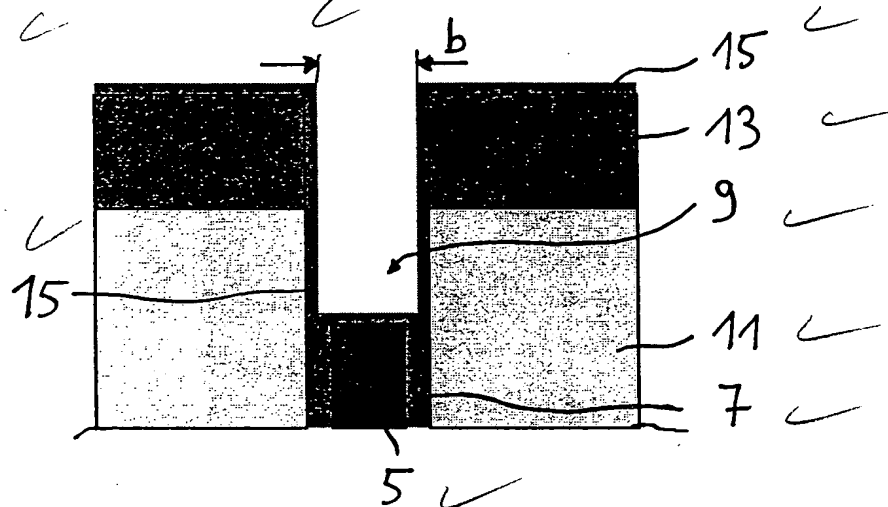


Fig. 1c

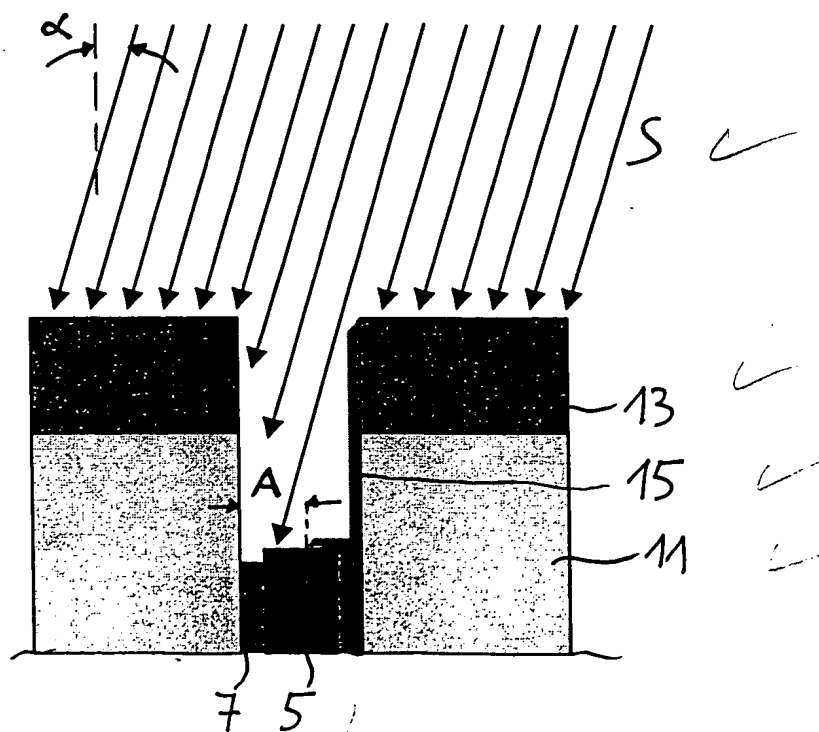


Fig. 1d

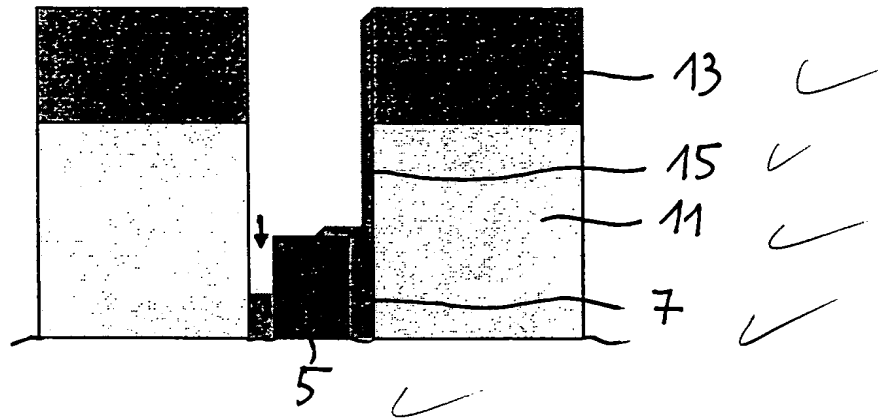


Fig. 1e

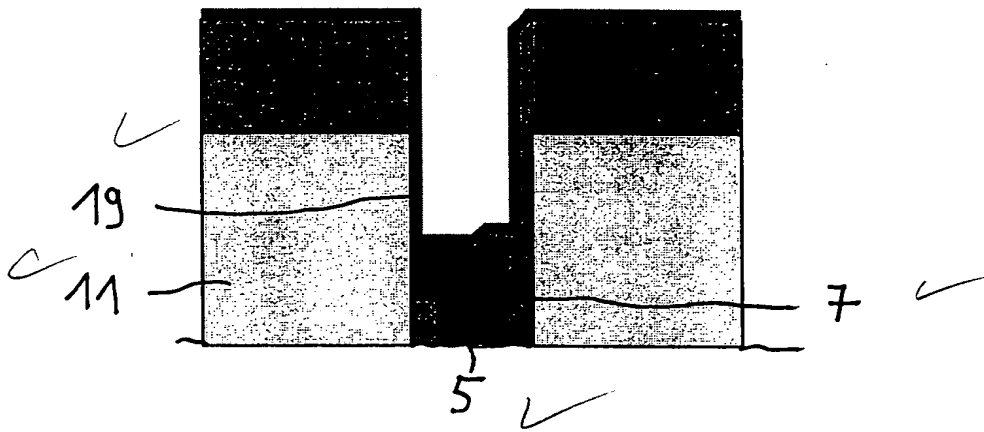


Fig. 1f

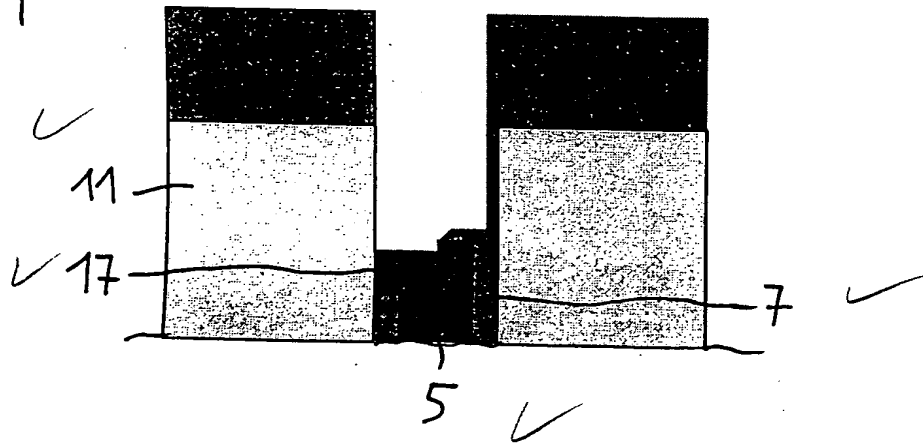


Fig. 2a

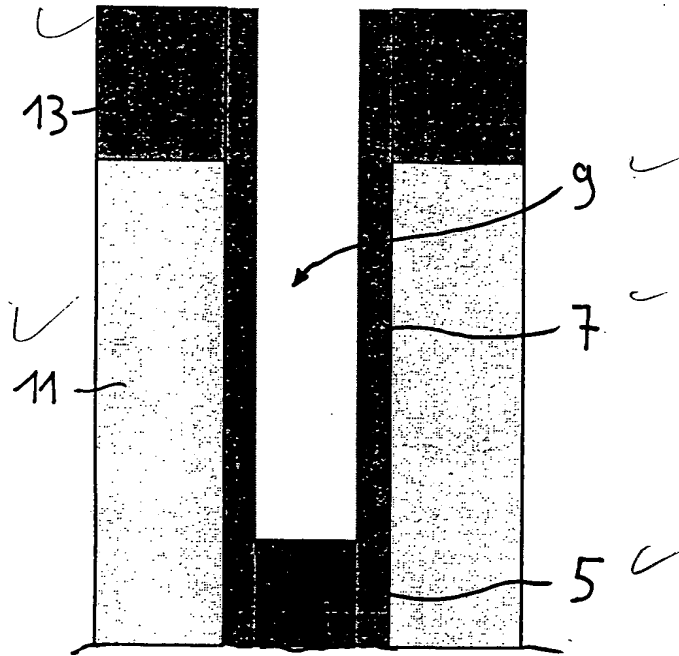


Fig. 2b

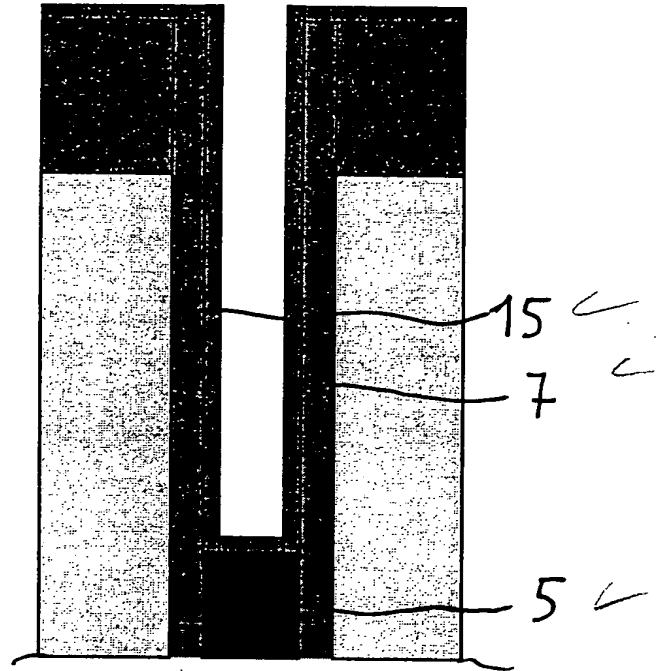


Fig. 2c

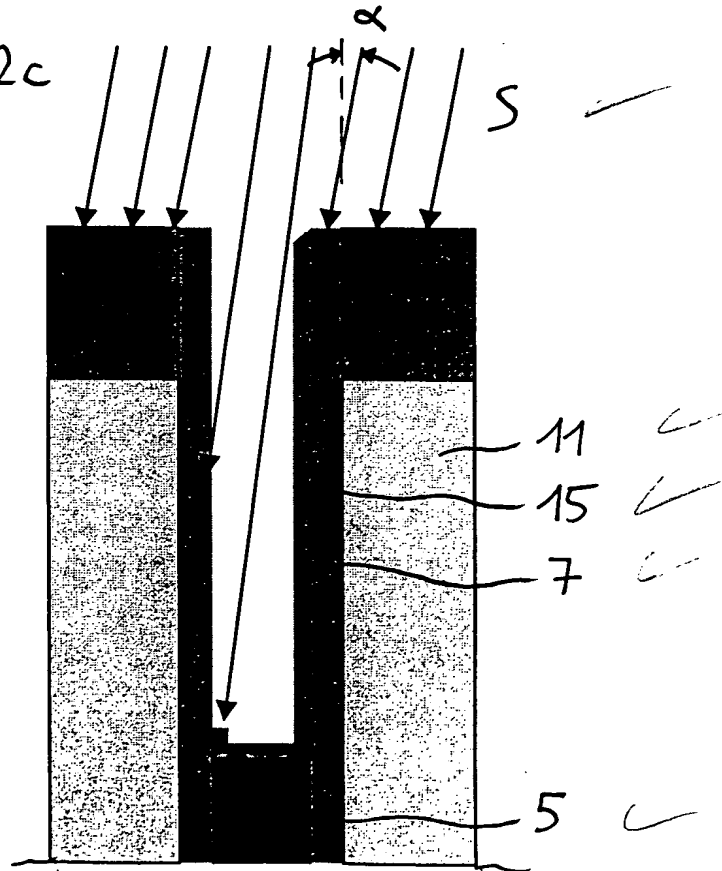


Fig. 2c1

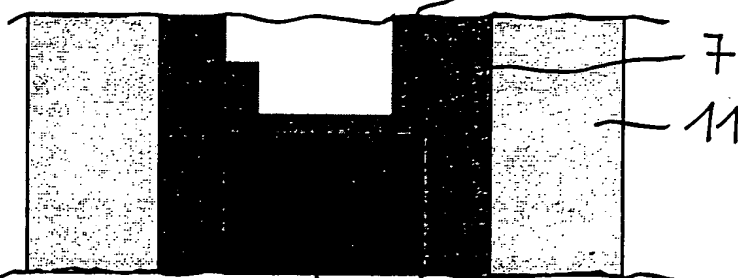


Fig. 2c2

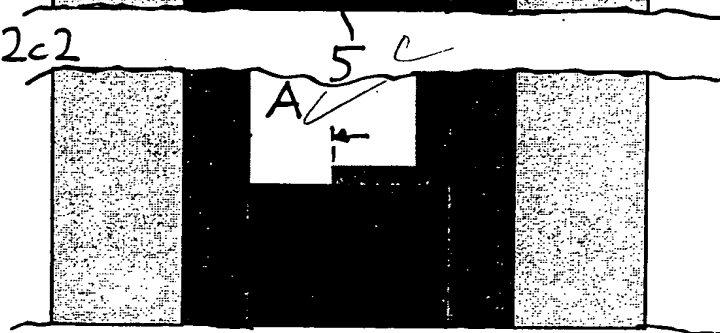


Fig. 2d

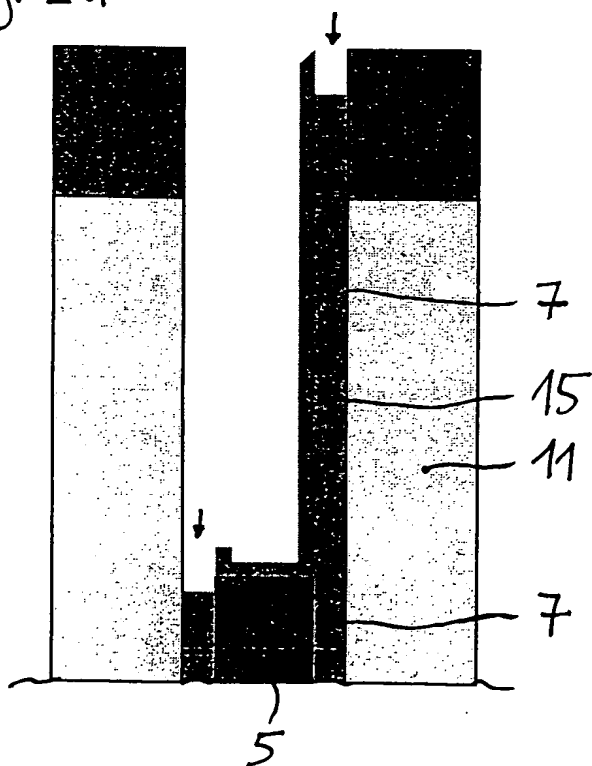


Fig. 2e

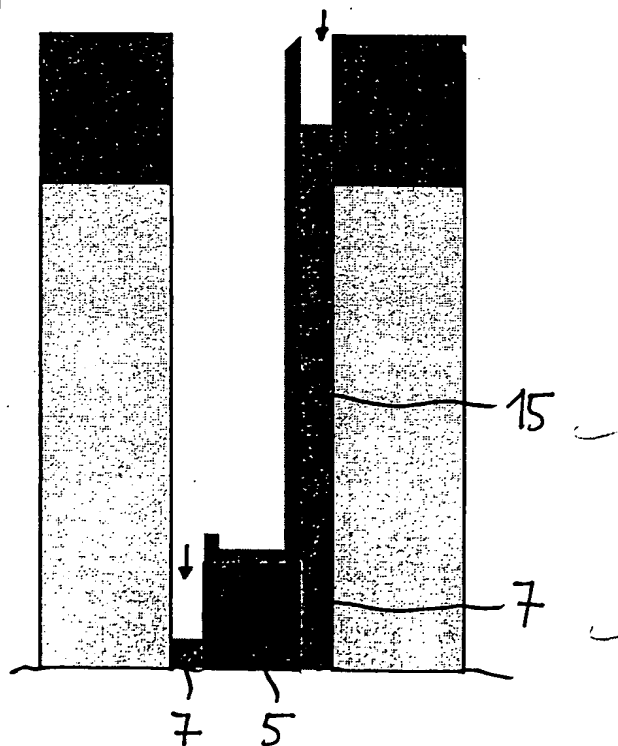


Fig. 2 f

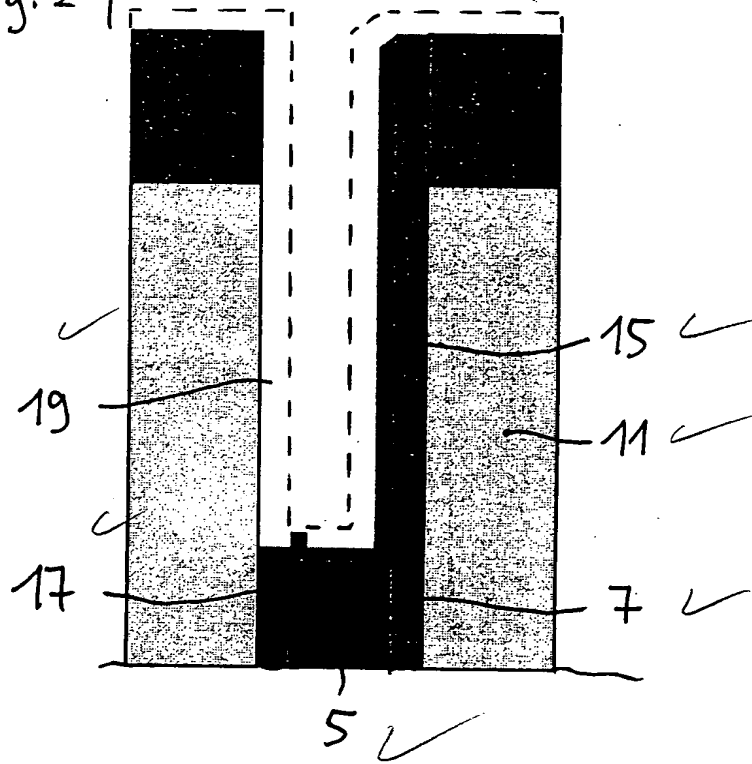


Fig. 3a

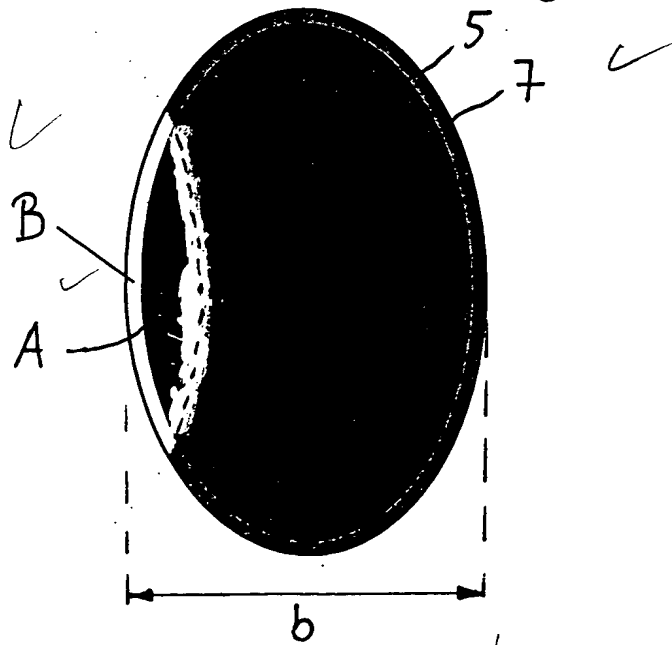


Fig. 3b

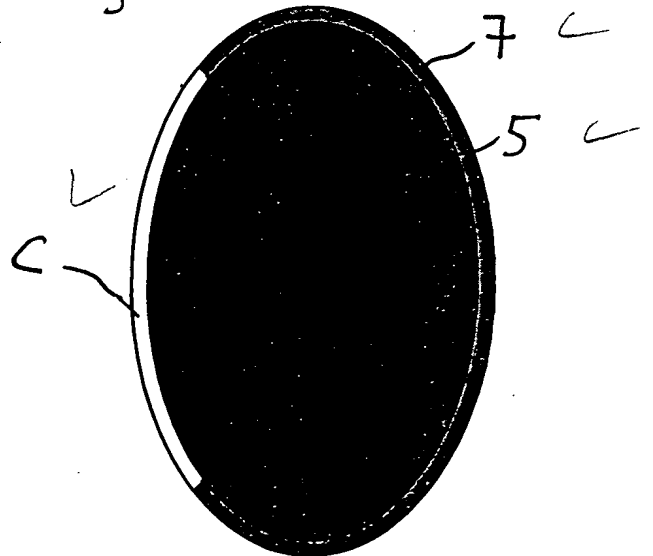


Fig. 4 b



Fig. 4d

Fig. 4f

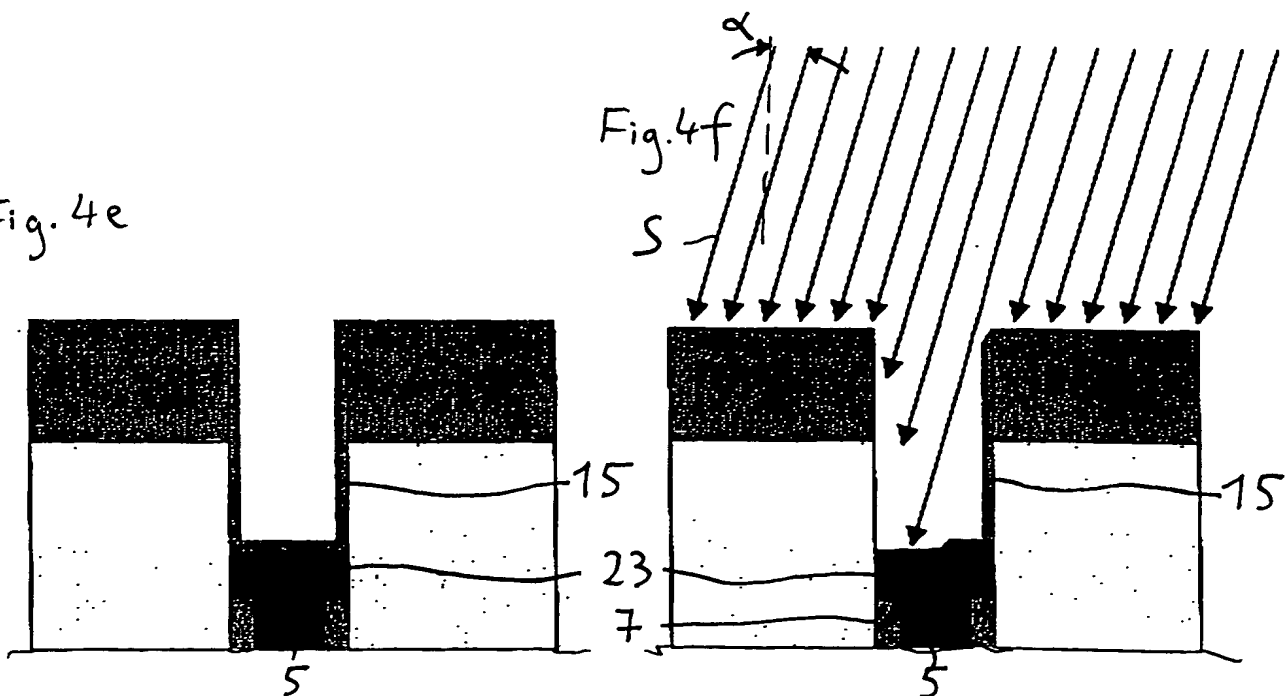


Fig. 4g

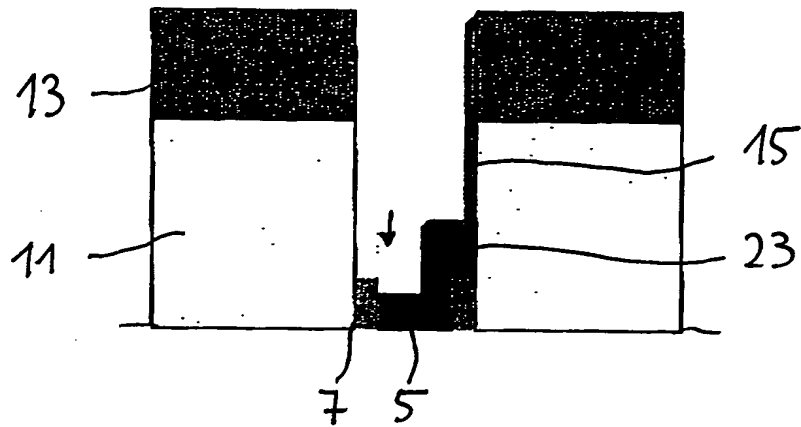


Fig. 5

